

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



#3/Priggy 11
11/10/01
320.40524X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): T. KAWAHARA, et al.
Serial No.: 09 / 932,099
Filed: AUGUST 20, 2001
Title: SEMICONDUCTOR DEVICE.

LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner for
Patents
Washington, D.C. 20231

RECEIVED
SEP 26 2001
TC 2800 MAIL ROOM
SEPTEMBER 25, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No. 2001 - 021109
Filed: JANUARY 30, 2001

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/rp
Attachment



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月30日

出 願 番 号

Application Number:

特願2001-021109

出 願 人

Applicant(s):

株式会社日立製作所

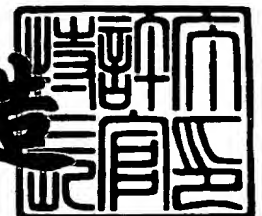
RECEIVED
SEP 26 2001
TC 2800 MAIL ROOM

2001
SEP 26
JPO

2001年 8月10日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3072211

【書類名】 特許願

【整理番号】 NT00P1213

【提出日】 平成13年 1月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 河原 尊之

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 清水 健央

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 荒川 文男

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 水野 弘之

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 渡部 ▲隆▼夫

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 石橋 孝一郎

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

命令またはデータの入力に対して一定の処理をクロックに基づいて行なう複数の論理回路ブロックを含む半導体装置であって、

各論理回路ブロックに、

論理回路ブロックの電力状態を制御する電力状態制御回路と、

論理回路ブロックへの入力有無の状態に応じて前記電力状態制御回路を制御する予測回路と、を少なくとも有することを特徴とする半導体装置。

【請求項 2】

前記予測回路は、前記論理回路ブロックの入力の処理を制御するための機能を更に有する請求項 1 記載の半導体装置。

【請求項 3】

前記電力状態制御回路は、クロック数 n に達するまで前記論理回路ブロックへの処理すべき前記入力がない場合に、電源を遮断する電源遮断回路、動作電圧を低く設定する動作電圧設定回路、または動作周波数を低く設定する動作周波数設定回路を少なくとも有する請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記電力状態制御回路は前記論理回路ブロックへ電力を供給する電源と前記論理回路ブロックとの間に接続され、前記論理回路ブロックへの電源を遮断する電源遮断回路であり、

前記予測回路は前記論理回路ブロックへ入力されるクロックをカウントしクロック数 n となったときに出力するカウンタと、前記電源遮断回路を制御する制御手段と、入力を検知し入力が来なくなった時に前記制御手段へ信号を出力すると共に前記カウンタをリセットする信号を出力する入力検知回路とから構成され、

前記制御手段は、カウンタ及び入力検知の両出力の論理積を取り前記電源遮断回路を制御する請求項 1 記載の半導体装置。

【請求項 5】

前記論理回路ブロックは、入力を一旦蓄えるレジスタと演算処理を行なう機能ブロックとからなり、

前記予測回路は、前記制御手段の出力とクロックとを比較して前記レジスタを制御するコンパレータを更に有する請求項 4 記載の半導体装置。

【請求項 6】

前記電力状態制御回路は前記論理回路ブロックへ電力を供給する電源と前記論理回路ブロックとの間に接続され、該電力状態制御回路に印加される信号電圧により前記論理回路ブロックの動作電圧を低く設定する動作電圧設定回路であり、

前記予測回路は、複数の異なる電圧の制御信号線と前記動作電圧設定回路との間に設けたスイッチを、前記論理回路ブロックの入力と前記クロックとに基づいて、前記動作電圧設定回路にいずれの電圧の制御信号線をいつ接続するかを決定して制御するスイッチ制御回路からなり、

該スイッチ制御回路は、前記論理回路ブロックへの入力があるときには電圧の高い方の制御信号線を前記動作電圧設定回路に接続するように制御し、入力が来なくなってからクロック数 n となった後に電圧の低い方の制御信号線を前記動作電圧設定回路に接続するように制御する請求項 1 記載の半導体装置。

【請求項 7】

前記論理回路ブロックは、入力を一旦蓄えるレジスタと演算処理を行なう機能ブロックとからなり、

前記スイッチ制御回路は、前記入力とクロックの状態により前記レジスタを制御する機能を更に有する請求項 6 記載の半導体装置。

【請求項 8】

前記電力状態制御回路は、前記論理回路ブロックの動作周波数を低く設定する動作周波数設定回路であり、分周比が可変の分周器からなり、

前記予測回路は、前記論理回路ブロックへ入力される入力を検知しクロックをカウントして分周器を制御する入力検出・クロックカウント回路と、前記論理回路ブロックに入力が来なくなってからクロック数が n となった後に低電力状態へ移行するよう制御するために設定する前記クロック数 n を格納しておくための設定レジスタとから構成され、

前記入力検出・クロックカウント回路は、前記論理回路ブロックに入力が来なくなってからカウントしたクロック数が前記設定レジスタに格納されたクロック数 n となったときに、前記分周器の分周比を大きくして前記回路ブロックに入力されるクロック周波数を低くするように制御する請求項 1 記載の半導体装置。

【請求項 9】

前記論理回路ブロックは、入力を一旦蓄えるレジスタと演算処理を行なう機能ブロックとからなり、

前記入力検出・クロックカウント回路は、前記入力とクロックの状態により前記レジスタを制御する機能を更に有する請求項 8 記載の半導体装置。

【請求項 10】

前記クロック数 n の値を過去の履歴に応じて更新する回路を更に有する請求項 3 ～ 8 のいずれか 1 項に記載の半導体装置。

【請求項 11】

請求項 10 において更新した結果を格納する書き換え可能な不揮発性半導体メモリを更に備えたことを特徴とする半導体装置。

【請求項 12】

対応した各論理回路ブロックの電力制御テーブルを有してこれを参照しながら前記電力状態制御回路の制御を行う制御信号と、各論理回路ブロックへの前記入力の命令またはデータとを出力する CPU を更に備える請求項 1 ～ 11 のいずれか 1 項に記載の半導体装置。

【請求項 13】

前記 CPU は、CPU に外部から入力される各論理回路ブロックの電力制御情報を含ませた命令またはデータ内の前記情報から、各論理回路ブロックに接続された電力状態制御回路の制御を行う前記制御信号を得るために解読するデコーダを更に備えたことを特徴とする請求項 12 記載の半導体装置。

【請求項 14】

複数の論理回路ブロック全体の電力制御は前記電力制御情報を前記デコーダにより解読して得られた前記制御信号により前記 CPU が行い、各論理回路ブロックの制御は前記 CPU が行なわないことを特徴とする請求項 13 記載の半導体装

置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は低電力システム L S I 等の半導体装置に係り、特に、多種多様な I P をオンチップにした場合に、自立分散的に低電力化を図るシステム L S I に関する。なお、I P とは Intellectual Property の略であり、近年、L S I の分野ではまとまった機能を持ち、流通可能な形態とした回路ブロック又は回路モジュールを I P と呼ぶ。

【0002】

【従来の技術】

“Design Challenges of Technology Scaling” , IEEE MICRO, vol.19, no. 4 , pp. 23-29, 1999 (以下、従来例 1 と記す)に記載されているように、マイクロプロセッサ等のチップの消費電力は年々増加しており、2000年には100Wを超えるものも多く市販されると予想されている。また、同じく従来例 1 に記載されているように、消費電力のうちでリーク電流による電力消費も製造プロセスの微細化にともなって指数関数的に増加している。特に、サブスレッショルドリーク電流の増加が顕著である。

【0003】

また、上記サブスレッショルドリーク電流としては、Identifying defects in deep-submicron CMOS ICs” , IEEE Spectrum, pp. 66-71, September, 1996 (以下、従来例 2 と記す)に記載されているように、製造プロセスの微細化にともなってゲートリーク電流や G I D L (Gate-Induced Drain Leakage)電流等の接合リーク電流も増大している。

【0004】

上記動作時電力の中で負荷の充放電による電力 P_{ac} は、信号振幅と電源電圧とが一致する一般の場合では、従来例 1 で記載されているように、(動作周波数 f) \times (負荷容量 C) \times (電源電圧 V) \times (電源電圧 V) に比例するため、従来は電源電圧を低電圧化して対処している。

【 0 0 0 5 】

また、上記サブスレッショルドリーク電流による電力消費 P_{sl} は、“Subthreshold-Current Reduction Circuits for Multi-Gigabit DRAMs”, Symposium on VLSI Circuits Digest of Technical Papers, pp. 45-46, May 1993 (以下、従来例 3 と記す) で記載されているように、電源ラインと回路の間に電源スイッチを挿入し、回路が待機中にその電源スイッチをオフ状態にし、待機時のサブスレッショルドリーク電流による電力消費を削減する電源スイッチ方式が提案されている。

【 0 0 0 6 】

さらにまた、“50% Active-Power Saving without Speed Degradation using Standby Power Reduction (SPR) Circuit”, ISSCC Digest of Technical Papers, pp. 318-319, 1995 (以下、従来例 4 と記す) で記載されているように、回路を構成している MOS トランジスタの基板端子の電圧を動作時と待機時とで切り替え、MOS トランジスタのしきい値電圧を動作時と待機時とで切り替えて、サブスレッショルドリーク電流を待機時に削減する基板バイアス制御方式が提案されている。

【 0 0 0 7 】

更に、上記ゲートリーク電流による電力消費 P_{gl} は、“Suppression of Stand-by Tunnel Current in Ultra-Thin Gate Oxide MOSFETs by Dual Oxide Thickness MTCMOS (DOT-MTCMOS)”, Extended Abstract of the 1999 International Conference on Solid State Devices and Materials, pp. 264-265, 1999 (以下、従来例 5 と記す) に記載されているように、薄い酸化膜の MOS トランジスタで構成されている回路と、電源ラインの間に厚い酸化膜の PMOS トランジスタを挿入して、回路が待機中にその電源スイッチをオフ状態にし、待機時のゲートリーク電流による電力消費を削減する方式が提案されている。

【 0 0 0 8 】

【発明が解決しようとする課題】

チップに要求される機能の増加にともない、チップに集積される MOS トランジスタ (以下、MOS T と記す) の数や動作周波数も年々増加している。これに

ともない負荷の充放電による電力 P_{ac} も増加している。

【 0 0 0 9 】

この電力 P_{ac} の削減技術として上記の従来例 1 による方法があるが、電力 P_{ac} の増加トレンドに対して完全に対応することができない。なぜなら、一般に、低電圧化すれば電力 P_{ac} を低減できるが、そのときにチップの動作速度を維持あるいは向上するためには、チップを構成している MOS T のしきい値電圧を低く設定したり、MOS T のゲート酸化膜厚を薄膜化する必要があるが、これらによってサブスレッショルドリーク電流による電力消費 P_{sl} やゲートリーク電流による電力消費 P_{gl} が指数関数的に増加するからである。

【 0 0 1 0 】

上記課題があるものの、負荷の充放電による電力 P_{ac} の削減には従来例 1 による方法が最も効果的であり、広く用いられている。しかし、上記理由により、従来例 1 及び従来例 2 に記載されているように上記電力消費 P_{sl} や P_{gl} は年々増加している。

【 0 0 1 1 】

上記電力消費 P_{sl} と P_{gl} の増加の課題に対しては、従来例 3 から従来例 4 による方法が提案されている。しかし、これらの方法ではチップの待機時の上記電力消費 P_{sl} や P_{gl} は削減できるが、動作時の上記電力消費 P_{sl} や P_{gl} は削減できない。したがって、サブスレッショルドリーク電流やゲートリーク電流による電力消費 P_{sl} 、 P_{gl} が、負荷の充放電による電力 P_{ac} に対して無視できる量であれば、上記電力 P_{ac} が零に近くなる待機時のみ上記電力消費 P_{sl} や P_{gl} を削減すればよい。この場合、従来例 3 から従来例 5 の方法が有効である。しかし、上記リーク電流による電力消費 P_{sl} や P_{gl} が上記充放電による負荷の電力 P_{ac} に対して無視できないほど大きい場合には、上記電力消費 P_{sl} や P_{gl} が動作時のチップの消費電力に大きな影響を及ぼすことになり、従来例 3 から従来例 5 の方法を用いても消費電流を削減することができない。

上記した事実によって、 $P_{ac} + P_{sl} + P_{gl}$ で示されるチップの消費電力は年々増加している。

【 0 0 1 2 】

更に、将来のシステムLSIの設計においては、各種のIPを用いて、これを組み合わせてシステムLSIを設計していく。この場合、各々のIPそのものには設計者は立入ることがなく設計できることが望ましい。また、微細化の進展に伴い、一定のチップ面積、例えば8mm²（8×8mm²）のチップに搭載できるIPの数は増えつづけることになり、まさしくシステムがひとつのチップに載ることになる。この時、設計者はシステム全体の挙動を把握し対処することは極めて困難となる。よって、ひとつひとつのモジュールが自立分散的に、かつ周囲と対応しながら動作する仕組みが必要となってくる。さらに、特定の部分のみ他の設計資産と設計途中で替えたり、或いは設計後にある回路ブロックの仕様が異なりその部分のみを取り替えることが必要となってくる。

【0013】

そこで、本発明の目的は、多種多様なIPをオンチップにした場合に自立分散的に低電力化を図ることが可能な、システムLSI等の半導体装置を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するため、本発明においては、以下の技術的手段を採用する。

IP又は回路ブロック（以下、代表して単に「回路ブロック」と呼ぶ）に、予測回路と電力状態制御回路を設ける。すなわち、予測型の電源遮断、或いは電源電圧変更、或いは周波数変更回路を付加するものである。

【0015】

これによって、各々の回路ブロックは自立分散的に低電力な動作状態を取ることができるようになる。よって、一部を取り替えたりも容易にできる、また、それらをまとめた全体或いは部分的な回路ブロックの塊に対して低電力を目指した制御を与えることもできる。

【0016】

さらに、これらの低電力状態は、学習によって、その時の状態に応じて、或いは他からの方向付けによって変えていくことができる。これによって、設計可能な工数で、拡張性に富み、低電力かつ高性能な、システムLSI等の半導体装置

を実現できる。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明に係る半導体装置の好適な実施形態について、添付図面を参照しながら実施例を用いて説明する。

【 0 0 1 8 】

<実施例 1>

本発明での予測型の電源遮断、或いは電源電圧変更、或いは周波数変更回路は図 1 に示すブロック構成例によって実現する。なお、ここでは基本構成を示しており、各ブロック内の具体的な構成例に応じて必要となったりするクロック信号線、制御信号線、等は省略してある。

【 0 0 1 9 】

図 1 において、参照符号 K は論理回路ブロック、D は電力状態制御回路であり、この電力状態制御回路 D は論理回路ブロック K と電源 V D との間に挿入され、論理回路ブロック K の電力状態を電力状態制御回路 D 自身の状態によって、もしくは論理回路ブロック K の状態を変えて制御する。このように、論理回路ブロック K に、予測回路 P と電力状態制御回路 D を付加して構成した回路ブロックの単位を、後述する実施例では、予測型電力制御付き論理回路ブロックと呼ぶ。

電力状態制御回路 D は、予測回路 P によって制御される。予測回路 P は、論理回路ブロック K への入力 I をその入力のひとつとし、入力 I の状態に応じて電力状態制御回路 D を制御する。

【 0 0 2 0 】

このように構成することにより、予測回路 P によって入力 I の情報に基づいて論理回路ブロック K の電力状態を、電力状態制御回路 D によって制御できる。例えば、入力 I へ有効な情報が一定時間現れない場合は、論理回路ブロック K の電力状態として、より低電力な状態へ移行させることができる。しかも、これがシステム全体を管理する何らかの演算装置とは独立に行うこともできる。電力状態制御回路 D は、後に詳細に述べるが、例えば下記のような機能を持っている。

(1) 論理回路ブロック K と電源 V D を接続するか否かを制御する。

- (2) 論理回路ブロック K へ供給する電源電圧の値を制御する。
- (3) 論理回路ブロック K へ供給するクロックの周波数の値を制御する。
- (4) 上記 (1) から (3) の組み合わせ。

【 0 0 2 1 】

< 実施例 2 >

図 2 は、論理回路ブロック K 1 と電源 V D との接続を、予測回路 P 1 で制御される電力状態制御回路 D 1 を用いて行う場合の実施例である。予測回路 P 1 と論理回路ブロック K 1 には、クロック C L K が入力する。ここでは、論理回路ブロック K 1 は、入力 I と接続され m クロック分の入力情報を一旦蓄えるレジスタ R G と、実際の演算を行う機能ブロック K B とに分けられる。なお、出力 O 側にもレジスタを設ける場合もある。

【 0 0 2 2 】

予測回路 P 1 は、クロック C L K をカウントするカウンタ C T と、電力状態制御回路 D 1 を制御する制御手段 P D と、入力信号 I を検知し入力が来なくなった時に制御手段 P D へ信号を出力すると共にカウンタをリセットする R S T 信号を出力する入力検知 D T と、制御手段 P D の出力とクロックとを比較してレジスタ R G を制御するコンパレータ C P とから構成される。ここで、制御手段 P D は、カウンタ C T 及び入力検知 D T の両出力の A N D を取り電力状態制御回路 D 1 を制御する。また、カウンタ C T ではクロックをカウントするが、n クロックで出力が変化して制御手段 P D に伝える。並行して、コンパレータ C P でもクロックをカウントし、m クロック分カウントした時の制御手段 P D の出力により、論理回路ブロック K 1 内のレジスタ R G を制御する。

【 0 0 2 3 】

論理回路ブロック K 1 と電源 V D との接続を行う電力状態制御回路 D 1 は、例えば図 2 に例に示したような p チャネル形 M O S T であれば良い。この p チャネル形 M O S T を遮断するには、ゲート信号をソースに接続されている電源 V D の電圧よりも同じか高くすれば良く、導通させるにはゲート信号をソースに印加されている電源 V D の電圧よりもこの M O S T のしきい値電圧以上に低くすれば良い。

【 0 0 2 4 】

また、この時、このMOS Tのゲート酸化膜の厚さは論理回路ブロックK 1を構成するMOS Tのゲート酸化膜よりも厚くすれば、従来例5で述べたような論理回路ブロックK 1で流れるゲートリーク電流を押えることができる。また、この両者のMOS Tのしきい値電圧は同じでも良いし、電力状態制御回路D 1中のMOS Tの方のしきい値電圧の絶対値を、論理回路ブロックK 1中のMOS Tの方のしきい値電圧の絶対値よりも高くしてもよい。高くすると、より小さなサブスレッシュヨルド電流とすることができる。このしきい値電圧の差は、ゲート長を変えたり、チャネル領域の不純物濃度を変えることで実現できる。両回路中のMOS Tが同じしきい値電圧の場合は、電力状態制御回路D 1中のMOS Tのゲート電圧をソース電圧よりも高くすることでも小さなサブスレッシュヨルド電流が実現できる。

【 0 0 2 5 】

この実施例の動作例を、図1 8および図1 9に示す。

図1 8は、入力Iからデータが入力され機能ブロックK Bが動作している電力大の状態から、データが来なくなった時に電源V Dと機能ブロックK Bとを遮断することによって機能ブロックK Bを電力小の状態にする場合の動作である。

【 0 0 2 6 】

まず、入力Iにデータが来なくなる（ステップS 1 0）。

すると、予測回路P 1内の入力検知D Tが動作し、これを検知して制御手段P Dへ出力を出すと共に、R S T信号によってカウンタC Tをリセットする（ステップ1 1）。

カウンタC Tではここからクロックをカウントし、予め定めた数であるn個に達すると、達したという信号を制御手段P Dへ送る（ステップS 1 2）。

次に、制御手段P Dではこの2つの状態、入力検知D Tがデータが来なくなったことを検知し、かつ、その後クロックがn個来たというカウンタC Tの判断とを受けて、電力状態制御回路D 1を遮断状態とする。つまり、電源V Dと機能ブロックK Bとを電氣的に絶縁する（ステップS 1 3）。ここで、nはデータが来ない状態がどのくらい長く続くかを見込むクロック数である。その設定の方法に

については、図 2 0 で後述する。

【 0 0 2 7 】

図 1 9 は反対に、電源 V D と機能ブロック K B とが遮断された電力小の状態から、データが入力されて機能ブロックが動作し、電力大の状態に移行する場合の動作である。

【 0 0 2 8 】

まず、入力 I にデータが来る（ステップ S 2 0 ）。

すると入力検知 D T が動作し、データ入力を検知して制御手段 P D へ出力を出す（ステップ S 2 1 ）。

制御手段 P D はこれを受けて、電力状態制御回路 D 1 を導通状態とする。これで機能ブロックは動作可能な状態へと移行を始める（ステップ S 2 2 ）。

制御手段 P D の出力変化に伴いコンパレータ C P ではクロックのカウントを始め、予め定めた数である m 個に達すると、論理回路ブロック K 1 中のレジスタ R G へ信号を送る（ステップ S 2 3 ）。

レジスタ R G には、m クロック分のデータが蓄積されており、このコンパレータ C P からの信号を受けて、機能ブロック K B へデータを転送し始め、機能ブロックでは所望の演算が行われていく（ステップ S 2 4 ）。ここで m は、電力状態制御回路 D 1 を導通状態としてから、機能ブロック K B が動作可能な状態になるまでに必要なクロック数であり、例えば 1 である。

【 0 0 2 9 】

このようにして入力 I に現れるデータに応じて機能ブロック K B と電源 V D との間の接続を制御することによって、他の制御信号無しに、自立分散的に必要に応じて電力が小さな状態と大きな状態とを取ることができる。データが常に送りつけられるのではない一般の応用では低電力となる。

【 0 0 3 0 】

次に、この n の設定の仕方を図 2 0 を用いて述べる。n は、データ無し状態で電力状態制御回路 D 1 を導通させたままにしておくクロック数である。データはクロック C L K に同期して送られてくるが、常に一定の割合で送られてくるのではなく、一般にクロックに対して間欠的である。しかし、データの塊の大きさ

とそれらの間隔には特有の値を取ることが多い。

【 0 0 3 1 】

データが来ない間隔に着目し、ある命令或いは動作の中でデータとデータの切れ目は、クロック数の長い部分を取り出すと図 2 0 (a) にデータ時系列例を示すように、 g_1 , g_2 , g_3 , g_4 , g_5 , g_6 であり、その平均値を g クロック、分散を M クロックとすれば、 g クロック前後 ($g \pm M$ クロック) である。例えば、1 0 クロック前後 (10 ± 2 クロック) である。もちろん、データが来ない状態が数クロックのみの場合もあるが、データが来ないクロック数の多い部分におけるクロック数の分布に着目すれば良い。ここでは、それが 1 0 クロック前後である。

【 0 0 3 2 】

この時、この 1 0 クロック前後の領域 (例えば、1 5 クロック以上の領域) を越えると、それは命令が切り替わったことを意味し、例えば 2 0 0 クロックはデータが来ない。このような場合には、図 2 及び図 1 8 で説明した n の値を 1 0 又は 1 2 に設定してやれば良い。

【 0 0 3 3 】

こうすることによって、データがこなくなっても 1 0 又は 1 2 クロックは待つため、次のデータが来たときに機能ブロック KB は動作可能となっている確率が高く、速度の劣化が小さい。また、電力状態制御回路 $D1$ を動作させるには、その動作のために電力が必要なため、あまり細かに制御すると反って電力が増大してしまう。よって、1 0 クロック前後待つ間にデータが来る確率が高いのであれば電力状態制御回路 $D1$ は導通のままのほうが望ましい。一方、1 0 クロック前後待ってもデータがこなければ、このまま 2 0 0 クロックの間データが来ない確率が高い。この場合は、クロックをカウントしていたカウンタ CT が制御手段 P へ設定値に達した出力を送り、電力状態制御回路 $D1$ を遮断状態にする。よって、この 2 0 0 クロックの間、動作電流を流さないのはもちろんのこと、リーク電流もカットする。

【 0 0 3 4 】

図 2 0 (b) に示す別のデータ時系列例では、データ無しの状態が g_1 , g_2

、 $g3$ のように g クロック前後である命令や演算と、 $r1$ 、 $r2$ のように r クロック前後（ここで、 r は平均値とする）である命令や演算がある場合である。この時は、後にも他の例を説明するが、 r クロック前後であることを図2の予測回路P1内の回路が判断して、カウンタCTの信号を取り出すサイクル数を k に変える学習機能を設ければ良い。学習機能の実現方法には色々あるが、一例としては、過去のデータ無しのクロック数を例えば10回分を記憶し、この平均値が予め定めた平均値 g と k のどちらに近いかを大小比較で判断して、設定すれば良い。この予め定めたカウンタCTの信号を取り出すサイクル数は、ここでは g と r の2つを示したが、もっと多数でも良い。

【0035】

なお、本実施例では論理回路ブロックK1内にレジスタRGを介して機能ブロックKBへ入力データが転送される構成を示したので、予測回路P1から論理回路ブロックK1内のレジスタRGへのデータ転送起動信号を送る信号線（コンパレータCPからレジスタRGへの信号線）を設けたが、機能ブロックKBが動作可能な状態になるまでの速度がクロック周波数から決まる動作速度と比較して十分に短く、レジスタRGを省略することができる場合、もちろん図1に示した基本構成となることは明らかである。

【0036】

<実施例3>

図3に電力が小さな状態を達成する他の実施例を示す。本実施例では電圧を制御する。

【0037】

図3において、 $V1$ と $V2$ は電力状態制御回路D1のゲートに印加する電圧信号線であり、予測回路P1内のスイッチによりいずれかに選択される。いずれにいつ接続するかは、入力Iへのデータ入力状況とクロックCLKとからスイッチ制御回路PSにて決定し、制御する。例えば、電圧信号線 $V1$ が $V2$ より高い電圧信号だとすると、データが入力している時には電圧信号線 $V1$ が電力状態制御回路D1内のMOS Tのゲートに入力するように、スイッチが選択される。電力状態制御回路D1内のMOS Tをn形MOS Tとすると、論理回路ブロックK1

内の機能ブロック K B にはこれよりもしきい値電圧分だけ低い電圧が印加されることとなる。

【 0 0 3 8 】

一方、データが来ないときには、一定のクロック数後、電圧信号線 V 2 が電力状態制御回路 D 1 内の M O S T のゲートに入力する。同様に機能ブロック K B にはこれよりもしきい値電圧分だけ低い電圧が印加されることとなるが、電圧信号線 V 2 は V 1 よりも低い電圧であるため、この機能ブロック K B に印加される電圧も、電圧信号線 V 1 が電力状態制御回路 D 1 内の M O S T のゲートに入力する場合よりも低い電圧となる。従来例で説明したように、低い電圧では負荷の充放電による電力 P a c は小さい。よって、電圧信号線 V 2 が電力状態制御回路 D 1 内の M O S T のゲートに入力する場合が電力が小さい状態である。電圧信号線 V 1 から V 2 への移行及びその制御方法は、図 2 の実施例において、電圧信号線 V 1 を選択した場合が図 2 の電力状態制御回路 D 1 の導通状態、電圧信号線 V 2 を選択した場合が図 2 の電力状態制御回路 D 1 の遮断状態と読み替えることによって同様な方法で達成できる。この図 3 の例において、電力状態制御回路 D 1 内の M O S T の酸化膜厚を論理回路ブロック K 1 を構成する酸化膜厚よりも厚くし、リーク電流を小さくすることもできる。しきい値の設定方法も図 2 と同様の効果がある。また、電圧信号線 V 1 又は V 2 或いは両方を、動作のモードに応じて電圧設定を変えても良い。ここでモードに応じて変えるとは、例えば、通常動作モードというものを設定し、この場合は電圧信号線 V 1 に 1. 2 V、電圧信号線 V 2 に 0. 9 V を印加するが、低電力モードというものを設定し、電圧信号線 V 1 に 0. 9 V、電圧信号線 V 2 に 0. 7 V を印加するような例である。

【 0 0 3 9 】

< 実施例 4 >

図 4 に電力が小さな状態を達成するまた別の実施例を示す。本実施例では周波数を制御する。すなわち、論理回路ブロック K 1 に入力するクロック C L K の周波数を変更する。そのために本実施例では電力状態制御回路 D 1 は、分周比が変えられる分周器となる。電源は別途印加される。本実施例は、図 1 に示した基本構成を変形した形であるが、電力状態を変えるという機能単位では同様である。

【 0 0 4 0 】

ここでは、図 2 の電力状態制御回路 D 1 導通状態が、クロック C L K を分周比が小さい分周器 D V を通した結果を論理回路ブロック K 1 内のクロックとして用いる場合であり、図 2 の電力状態制御回路 D 1 遮断状態が、クロック C L K を分周比が大きい分周器 D V を通した結果を論理回路ブロック K 1 内のクロックとして用いる場合である。前者の方が、後者よりも論理回路ブロック K 1 のクロック周波数が高い。前者は、クロック C L K の周波数をそのまま伝えることも含む。従来例で説明したように、負荷の充放電による電力 P_{ac}はクロック周波数に比例する。よって、後者の方が消費電力が小さな状態である。

【 0 0 4 1 】

予測回路 P 1 内には、入力 I にデータが入力されたか否かを検出し、クロックをカウントして分周器を制御する入力検出・クロックカウント回路 D T C と、図 2 の実施例の動作で説明したようなクロック数設定を格納しておくための設定レジスタ R G S とから構成される。

【 0 0 4 2 】

論理回路ブロック K 1 に入力するクロック周波数の切り替え及び制御は、上記した図 2 との対応関係を元に図 2 での場合と同様である。すなわち、図 2 で入力検知 D T と制御手段 P D とで入力 I のデータ有無とそのクロック数から電力状態制御回路 D 1 中の遮断用 M O S T の切り替えをしたように、図 4 ではひとまとめに入力検出・クロックカウント回路 D T C と表した部分で、入力 I のデータ有無とそのクロック数から電力状態制御回路 D 1 中の分周器の分周の度合いを切り替えとすればよい。

【 0 0 4 3 】

図 4 において、論理回路ブロック K 1 への電源は一定電源を用いても良いし、図 3 で説明したような可変な方法でも良く、また、図 2 に示したように電源との間に導通／遮断動作ができるスイッチを設けても良い。これによって、リーク電流も低減できる。

【 0 0 4 4 】

< 実施例 5 >

図 5 では、図 1 に示した基本構成ブロックが複数個ある場合に、予測回路 P の制御に前段の回路から起動をかける方式である。すなわち、論理回路ブロック K - 2 で動作が始まると、次段の予測回路 P - 1 に対して R E Q 信号を出し、次段の電力状態制御回路 D - 1 への起動を準備させる。次段の予測回路 P - 1 は、電力状態制御回路 D - 1 を起動して次段の論理回路ブロック K - 1 が動作可能な状態になったら、A C K 信号を前段の論理回路ブロック K - 2 へ返す。論理回路ブロック K - 2 はこの A C K 信号を受け取ると、次段の論理回路ブロック K - 1 へデータの転送を始める。このように前段の論理回路ブロック K - 2 関連と次段の論理回路ブロック K - 1 関連とが、R E Q 信号と A C K 信号を交わしながら動作状態を確かめてから、データの授受を行う。

【 0 0 4 5 】

なお、図 2 ～図 4 では論理回路ブロック K（ここでは、図 5 における K - 2，K - 1，K をまとめて表現している）内では入力側にレジスタを置いたが、このような構成では出力側におくのが良い。

【 0 0 4 6 】

以上の説明で動作可能な状態とは、図 2 のシステムで言えば電力状態制御回路 D（D - 2，D - 1，D をまとめて表現している）が導通した状態であり、図 3 のシステムで言えば論理回路ブロック K（前記、まとめた表現）に対してより高い電源電圧が印加された状態であり、図 4 のシステムで言えばより高い周波数のクロックが論理回路ブロック K（前記、まとめた表現）に入力された状態である。

【 0 0 4 7 】

< 実施例 6 >

図 6 において、K K 1，K K 2，…，K K 3 は、図 2、図 3、図 4 に示した基本構成の単位を表したものである。すなわち、例えば K K 1 には、図 2 で示した予測回路 P 1、電力状態制御回路 D 1、論理回路ブロック K 1 が含まれた予測型電力制御付き論理回路ブロックである。他も同様である。A A 1 および A A 2 はこれらの予測型電力制御付き論理回路ブロック K K 1 ～K K 3 を含み自立分散的に制御できる処理回路である。A A 3 は予測型電力制御付き論理回路ブロック K K 1 ～K K 3 を含まない処理回路であり、C P U からの制御信号により制御され

る。

【 0 0 4 8 】

システム S K は、これらの処理回路 A A 1 ～ A A 3 を含んで構成され、 C P U から送られて来る入力 I N が処理回路 A A 1 に入力されて処理回路 A A 2, A A 3 を介して出力データ O U T S が得られるシステム L S I である。なお、 C P U は処理回路 A A 1 ～ A A 3 から構成されるシステム L S I と同じチップ上にあっても良いし、あるいは別チップ上にあっても良い。

【 0 0 4 9 】

本実施例では、 C P U はシステム S K の全体を制御する。また、上記入力 I N は、 C P U に入力されたデータ又は命令 I N S を C P U で処理して送られてきたデータ又は命令である。 C P U からの制御信号 C C は、処理回路 A A 1 と A A 3 に入力され、処理回路 A A 2 には入力されていない。この制御信号 C C は、処理回路 A A 1 のすべての予測型電力制御付き論理回路ブロック K K 1 ～ K K 3 に入力されていても良いし、処理回路 A A 1 の図に示したように、予測型電力制御付き論理回路ブロック K K 1 と K K 3 だけというように一部のみに入力されていても良い。或いは、予測型電力制御付き論理回路ブロック K K 1 ～ K K 3 のいくつかのグループ毎に専用信号となっても良い。

【 0 0 5 0 】

この実施例において、処理回路 A A 1 では予測型電力制御付き論理回路ブロック K K 1 ～ K K 3 は、図 2、図 3、図 4 で説明したように、これに入力するデータの状態によって電力状態を変える。また、処理回路 A A 2 でも予測型電力制御付き論理回路ブロック K K 1 ～ K K 3 は入力するデータの状態によって電力状態を自立分散的に変える動作を行う。更に加えて、この実施例では、 C P U は、制御信号 C C を介して、処理回路 A A 1 内の予測型電力制御付き論理回路ブロック K K 1 ～ K K 3 に入力され、予測型電力制御付き論理回路ブロック K K 1 ～ K K 3 の電力状態をも管理することに特徴がある。すなわち、 C P U からの条件の中で、図 2、図 3、図 4 で説明したような動作を行うのである。

【 0 0 5 1 】

ここで、 C P U からの条件とは、例えば、図 4 の周波数変更により電力状態を

制御する場合であれば、CPUが、予測型電力制御付き論理回路ブロックKK1～KK3および処理回路AA1，AA2，AA3の全体の処理量を見て低い周波数には容易には移行できなくすることである。これは例えば、クロック数の設定の中心値を、CPU側でシステム全体の処理量を検知して決定、或いはソフトからの指示によって決定するようにすればよい。

【0052】

図2の電源遮断により電力状態を制御する場合であれば、同様にCPUが全体の処理量を見て、電源遮断には容易には移行できなくすることであり、これは例えば、入力データが来なくなってから電源遮断するまでに必要なクロック数を設定する際にその下限値をCPU側でシステム全体の処理量を検知して決定、或いはソフトからの指示によって決定すればよい。

【0053】

また、図3の電圧を切替え制御する場合であれば、CPUが同様に全体の処理量を見て低い電圧には容易には移行できなくすることであり、これは例えば、入力データが来なくなってから低い電圧に移行するまでに必要なクロック数を設定する際にその下限値を、CPU側でシステム全体の処理量を検知して決定、或いはソフトからの指示によって決定すればよい。

【0054】

これによって、ローカルには最適な状態となっていて、全体としては望ましい方向では無いという場合が生じることを回避できる。また、設計者はCPUでの制御部分のみを低電力化目指して設計すれば、それよりも細かなブロックについては、図2、図3、図4で説明した方法で低電力化できるので、高い低電力化率をあげながら、設計効率も上げることができる。

【0055】

<実施例7>

図7は、電力制御を過去の履歴又は予め定めた方法と比較しながら予測する実施例である。ここでは、CPUに入力されたデータ又は命令INSがプログラムカウンタPCに来ると、プログラムカウンタPCにおいては、過去の履歴又は予め定めておいた制御が格納されているテーブルTBLを参照してこのデータ又は

命令を解釈し、最小の電力で最大の性能を引き出せるようなパターンを抽出する。このパターンに従って、ここでは省略して現したが、回路ブロック K 1 ~ K m とその電力制御回路 D 1 ~ D m を制御する。制御の仕方としては、多くの回路ブロックからここで示した回路ブロックを抽出する、時間的な活性化順を設定する、ここで各回路ブロックが複数の電力状態を取れる場合はこれも含めて設定する、或いは、テーブルを参照し、使う確率の低い回路ブロックを電力のより小さい状態へ移行させるなどを含む。

【 0 0 5 6 】

また、テーブル T B L は過去の履歴で更新することができる。このデータはすべてチップ上に置くこともできるし、一部を R O M としてチップ上に置き、一部をソフトから R A M にロードして設定することもできる。或いは、書き換え可能な不揮発性メモリを搭載し、これにすべて或いは一部を格納することもできる。また、テーブルを参照して該当回路ブロックの電力状態変える、また、このテーブルを参照した設定内容を踏まえつつ、各回路ブロックにおいては図 2 ~ 図 5 に示したような動作を行うこともできる。また、さらに図 6 に示したようにシステム全体を一定の条件に制御する方法と併用することもできる。

【 0 0 5 7 】

< 実施例 8 >

図 8 は、C P U に入力される命令又はデータ I N S 内に電力制御情報を含ませる場合の実施例である。この場合には、命令中に電力制御情報を含むが、この電力制御情報を先行処理する電力制御プリデコーダ P r e D E C を備えており、この結果をラッチ L P を介して、処理を行う回路ブロック I P へ送る。

【 0 0 5 8 】

通常のコマンド部分はコマンドバッファ I Q にまず送られ、ラッチ L C を介して、コマンドデコーダ I D にて、使うべき回路ブロック I P に適したように解釈される。この結果が各々の回路ブロック I P へ入力 I N として送られる。この時、これらの回路ブロックには、既にプリデコーダ P r e D E C の結果が送られており、電力制御が行われる。これにより、各回路ブロック I P では、複数有る電力状態から必要な状態が選ばれる。

【 0 0 5 9 】

このようにすることで、複数の回路ブロック I P を低電力化の観点から制御でき、例えば、多数ある回路ブロックのうち、予め動作する回路ブロックのみを活性化することができる。この方法も、図 7 で説明したように、これまでの他の実施例と組み合わせて用いることができる。なお、図 7 および図 8 で命令といった場合、ライン単位、ブロック単位、サブルーティン単位などを考えることができる。

【 0 0 6 0 】

< 実施例 9 >

次に、本発明を具体的な応用に適用した場合の新たな実施例について述べる。図 9 は、本発明を適用する動画像処理回路ブロックの例である。動画像処理回路ブロック 9 0 のインタフェース & 全体制御部 9 1 は、図には示していないがホストのマイクロコンピュータ、或いはこの回路ブロック 9 0 が接続されるバスとの接続を制御し、またこの回路ブロック全体を制御実行する回路である。メモリコントローラ 9 2 は、この回路ブロックが使用するメモリを制御する回路である。このメモリは、オンチップの場合もあれば、一部或いはすべてオフチップの場合もある。例えば、この動画像処理回路ブロック 9 0 が外付けの S D R A M (S y n c h r o n o u s D R A M) を用いる場合は、このメモリコントローラ 9 2 は S D R A M を制御する。

【 0 0 6 1 】

また、図 9 において、V L D は入力したビットストリームのコードの復号を行う可変調復号器、I Q は量子化されている信号を元の信号にする逆量子化器、I D C T は圧縮処理でよく利用される離散コサイン変換 (D C T : D i s c r e t e c o s i n e t r a n s f o r m) の逆処理を行う逆離散コサイン変換器、M C は動き補償回路、D I S P は表示処理を行う表示器である。個々の機能及び処理内容については、H 2 6 1 , M P E G 1 ~ 4 (I T U - T 勧告) 或いは I S O 1 3 8 1 8 , I S O 1 1 1 7 2 の I S O 勧告に記載されているので説明は省略する。

【 0 0 6 2 】

図 1 0 に、表示処理部分を除いた図 9 に示した動画像処理回路ブロック 9 0 の

動作を示す。1秒間にaフレームの動画像を処理する場合である。各画像フレームは一般的に複数の画素グループ（例えば、グループ数をbとする）に分割され、その画素グループ単位に信号処理を行うが、各画素グループ毎に、可変調復号器VLD→逆量子化器IQ→逆離散コサイン変換器IDCT→動き補償回路MCの順に各処理が行われる。

【0063】

この時、図に示したように、可変調復号器VLDにおいてひとつの可変調復号処理が終わると、次の画素グループが来るまで可変調復号処理はオフ（OFF）とすることができる。従って、本発明を用いれば、このようなOFF期間を自動的に検知（予測）して、可変調復号処理器VLDの回路ブロックを低電力状態に移行することができる。

【0064】

また、この図には示していないが、実際の動作ではパイプライン的に動作させるため、ある画素グループの可変調復号処理が終わり、逆量子化器IQへデータが移ると、次の画素グループのデータが可変調復号処理器VLDに入力される。所謂、パイプライン動作が行われる。この場合、各処理回路ブロックVLD、IQ、IDCT、MCの必要処理時間は各々異なるため、本発明を用いれば終わった部分から自動的に低電力状態へ移行していく。

【0065】

また、b個のすべての画素グループの処理が終わるのに必要な時間は、この画素フレームの処理に割り当てられている処理時間a分の1秒よりも短くて済む場合もある。この時も、本発明を用いればこの状態を自動的に検知（予測）して、電力の低い状態（即ち、電源スイッチを切る、印加電圧を下げる、入力される周波数を下げる）へ移行することができる。

【0066】

また、図7で説明したように、このような動作を行うときの過去の履歴或いは予め設定した方法に従って電力状態を制御したり、図8に説明したようにこれらを実行する命令の中に電力を制御する内容を含ませて制御することもできる。

【0067】

<実施例 1 0>

図 1 1 は、図 2 に示した電源スイッチ D 1 と機能ブロック K B の制御を例題に、遮断するためのクロックサイクル数を自動更新（学習）させるための回路ブロック例である。

【0 0 6 8】

図 1 1 において、予測回路 P 1 内に設けた判定回路 D C S は、シャットダウンサイクル数バッファ B F の値を参照して、入力されるクロック C L K と入力 I に現れる入力データを検知する入力検知 D T の結果 F 1 から、電力状態制御回路（この場合は、電源スイッチ）D 1 を遮断することを制御する回路である。

【0 0 6 9】

この判定回路 D C S の働きは、図 1 2 を用いて後で述べる。シャットダウンサイクル数バッファ B F からは、シャットダウンまでのサイクル数 n の指示がクロックカウンタ C T に入る。クロックカウンタはクロック C L K をカウントし、この指示でのサイクル数 n に一致するとシャットダウン信号 C 1 を出す。O R 回路では、入力検知 D T からの入力データ検出結果 F 1 と、クロックカウンタ C T からのクロック数カウント結果すなわちシャットダウン信号 C 1 とを受けて、その O R 論理の結果をフリップフロップ F F で受けた結果が、電源スイッチ D 1 に入力され、機能ブロック K B を制御する。なお、入力検知 D T は、クロックに同期して動作し、データが検出されたらサイクル数をカウントするクロックカウンタ C T に対してリセット信号 R S T を出力する。

【0 0 7 0】

図 1 1 の判定回路 D C S の制御方法を図 1 2 に示す。この判定回路は、まず、シャットダウン信号 C 1 と、入力検知信号 F 1 と、クロック C L K とから、シャットダウンしてから次のサイクルが来るまでのサイクル数 k を計測する（ステップ S 3 0）。

【0 0 7 1】

次に、このサイクル数 k と、クロックカウンタ C T に格納されている現在のシャットダウンまでのサイクル数 n とを比較する（ステップ S 3 1）。

【0 0 7 2】

この時、格納されている n が k 以上であれば、格納されている n とシャットダウン数の下限値 L との比較を行い（ステップ $S32L$ ）、格納されている n が下限値 L よりも大きければ、格納されている n を 1 だけ減じ（ステップ $S33$ ）、1 だけ減じた n をシャットダウンサイクル数バッファ BF へ書き込む（ステップ $S34$ ）。格納されている n が下限値 L よりも小さければ、現在格納されている n を、上記バッファ BF へ書き込む（ステップ $S34$ ）。この場合は、そのままの値とすればよいので、書き込む必要がないとしても良い。

【0073】

ステップ $S31$ において、格納されている n が k よりも小さいならば、 n とシャットダウン数の上限値 H との比較を行い（ステップ $S32H$ ）、格納されている n が上限値 H よりも小さければ n を 1 だけ増加させ（ステップ $S33H$ ）、1 だけ増加させた n をシャットダウンサイクル数バッファ BF へ書き込む（ステップ $S34$ ）。 n が上限値 H よりも大きければ、現在格納されている n をシャットダウンサイクル数バッファ BF へ書き込む（ステップ $S34$ ）。この場合も、そのままの値とすればよいので、書き込む必要がないとしても良い。

【0074】

このようにすることによって、データが来なくなってからシャットダウンまでのサイクル数を自動更新させることができる。

【0075】

同様なことは、一旦、シャットダウンしてから、再び活性化させるまでのクロック数を予測する場合についても組み立てることができる。例えば、図 21 に示す構成で可能となる。この判定回路 DCS の動作については、図 22 に示した。

図 21 の構成で、図 11 と異なるのは、クロックカウンタ CT では更に、あるシャットダウンから次の入力があるまでのサイクル数 k をカウントし、その結果 $C2$ を出力するようにしている点である。なお、 n はシャットダウンまでのサイクル数である。また図 22 において、 H はシャットダウンサイクル数の上限値、 L はシャットダウンサイクル数の下限値であり、 S は効果的なシャットダウンサイクル間隔（実効シャットダウン間サイクル数）である。この実効シャットダウン間サイクル数 S は、シャットダウンによる低電力化の効果と、予測回路 $P1$ と

いう制御回路を動作させることに伴う電力の増大との兼ね合いとから決定する。すなわち、この実効シャットダウン間サイクル数 S の値は実際の予測回路 $P1$ の電力及び、 S の期間シャットダウンしていた場合の低電力化の値とから決定する。もしシャットダウンの間隔が短か過ぎると、低電力化の効果よりも予測回路 $P1$ の電力が大きくなってしまう。

【0076】

<実施例 11>

図 13 に、図 2 又は図 11 で電力状態制御回路 $D1$ による論理回路ブロック $K1$ への電力制御の動作の実際を示す。この例では、電力状態制御回路 $D1$ によって論理回路ブロック $K1$ への電力が供給される状態（電力状態制御回路 $D1$ が導通状態）をオンと示し、論理回路ブロック $K1$ への電力供給なされないシャットダウンの状態（電力状態制御回路 $D1$ が絶縁状態）をオフと示した。

【0077】

これが、図 13 の最上部に示したクロックに従い、データの有る無しでどの様に変化していくかを、連続した時間変化のある部分を取り出した、I～VIIの例で説明する。I～VIIの途中に、図 11 及び図 12 で説明したようなデータが来なくなってからオフにするまでのクロック数を自己更新、すなわち学習する過程を挿入している。

【0078】

ここでは、データが来なくなってから 2 クロックでオフする設定とする。図 18 で言えば、 n が 2 である。また、オフの状態から、データが再び来たとき、回路活性化させるために待つサイクル数は 1 とする。図 19 で言えば、 m が 1 である。

【0079】

この初期設定において、まず、I の状態では、データが来なくなってから 2 クロックでオフとなったが、それから 6 クロックはデータが無くその後再びデータが現れたとする。前回データが来なくなってからは 8 クロック分はデータが無かったことになる。これによって、6 クロック分は電力の小さな状態となっていたことになる。

【0080】

次の時間変化部分であるIIにおいては次のような状態であった。すなわち、データが来なくなってから3クロック休んで、次のデータが来た場合である。この時、今の設定状態では、2クロック来なければオフ状態となるので、オフ状態となった。しかしながら、それから1クロック置いて、次のデータが現れるのである。そのため、直ちに準備に入り、データが現れた1クロック後に、オン状態となる。よって、オフ状態は2クロック分となる。この2クロック分の休みは、有効な場合もあるが、そうでない場合もある。何故なら、これまでの実施例で述べてきたような動作を行うには、その電力状態制御回路D1が動作する必要がある消費電力が必要だからである。そのため、あまりオフ状態が短いような場合は遷移での電力消費を考えると低電力化の効果が薄れる場合がある。さらに付け加えると、復帰するのにmクロックを必要とする（ここでの例では、1クロックとした）。この分だけ、そこでの処理は時間を取る。あまり短いオフ状態を挟むことは、低電力化の効果が薄れるのみでなく、速度の面でも劣化の影響が見えやすくなる。今後も、このような短いオフ状態を挟むことが続くようであれば、この設定は好ましくないことになる。今回は、この2回は少なすぎると、予測回路P1内の学習部分が判断し、この回数を変える場合を考える。

【0081】

すなわち、図13にて学習と示したように、3クロックの間データが無かったら、オフ状態へ移行すると判断したとする。

【0082】

さて、次の時間変化部分IIIを見てみる。ここでは、予測が当たり、データとデータの隙間が3クロックのみであった。今度は、次に移行しようとする前にデータが来るので、移行は起こらずオン状態が続く。これによって、短いオフを挟むことによる、制御回路動作の電力的及び速度的なオーバーヘッドは無くなる。

【0083】

次の時間変化部分IVでも、予測が当たり、データとデータの隙間が2クロックであった。この場合もオフ状態へは移行せず、そのまま動作し続ける。

【0084】

次の時間変化部分Vでは、いよいよ状態が変わり、データとデータの隙間が8クロックであった。この場合は、3クロックの間データが無いのを確かめてからオフ状態へ移行し、再びデータが来てから1クロックにて復帰するので、オフ状態の期間は6クロック分である。ここでは十分にオフの期間がある。今後、このような長い期間のオフが連続すると予測回路が判断したとする。

【0085】

よって、次の学習の状態において、データが無くなってから、2クロック待つてデータが来なければ、オフ状態に移行すると変わる。

【0086】

さて、次の時間変化部分VIにおいては、予測通り長い期間のオフ状態となるデータ列であり、ここではデータとデータの隙間が10クロック分である。ここでは、2クロック分待つてデータが来なければオフ状態に移行と変わったために、オフ状態を9クロック取ることができる。

【0087】

次の時間変化部分VIIにおいては、上記時間変化部分Vと同じくデータとデータの隙間が8クロックであるが、時間変化部分Vではオフ状態が6クロック分であったのに対して、今回は7クロック分とより長いオフ状態を達成できる。すなわち、学習によってより低電力化が達成できたのである。

【0088】

この図13では、1クロックのみ増減させる場合について述べたが、このクロック数はもちろん他の値でもよく、更に、学習へ移行するのに、前回の値と異なる場合が何回続けば移行するか等はシステムに応じて設定することができる。

【0089】

図14は、このような学習の頻度について説明する図面である。横軸は時間を示し、縦軸はシステムの電力である。図14の(a)においては、最初に学習するのみであり、その後はその内容を保持する。すなわち、時刻 t_1 では、大きな電力を消費していたが、学習によって最適な状態に移行でき(図13の例で言えばデータが来なくなってからオフするクロック数)、その後は、時刻 t_2 での状態のように小さな電力になっている。

【0090】

一方、図14の(b)においては、第2の学習期間があり、時刻 t_3 で再び増加した電力を、学習によって、 t_4 では小さな電力としている。すなわち、ダイナミックに状態を変更し続けることができる。

図14の(c)は過去の学習結果又は定められた初期値をロードする場合である。すなわち、外部記憶又は内部記憶のテーブルを参照し、そこに記された低電力となる状態をロードし、 t_2 では電力が小さい状態を取る場合である。ロードした内容でその後進みつづける場合もあるし、この図に示したように更に学習を行って最適化を目指す場合もある。また、特定の回路ブロックでこれら全てを取る場合もあるが、例えば、システム全体として低電力となる状態をロードするが、その後、一部の回路ブロックではさらに学習をして状態を移行させる場合も有る。また、全体での学習のフェーズと特定の回路ブロックでの学習のフェーズが異なる場合もある。例えば、全体での学習はスイッチオンの時のみであり、その後は、特定の回路ブロックでの学習のみである。

【0091】

このような学習結果、或いはロードすべき予め定められた初期値又は過去の学習の累積結果を格納する方法を図15に示す。ここでは、チップ上の書き換え可能な不揮発性メモリの領域に格納する場合を示す。

【0092】

図15の(a)では、回路ブロックIP11～IP34に対してひとつの不揮発性メモリの領域Fを設置する場合、すなわちチップ上の1箇所に不揮発性メモリの領域F集中配置する場合である。これは、例えば、全体の低電力状態をテーブルとして持っておくような場合に効果がある。また、各回路ブロックIP11～IP34では、SRAM又はレジスタに格納し、最後の状態又は一定の期間で効果があつた場合をこのFの領域に書き込んだりもできる。

【0093】

同図(b)はこの不揮発性メモリの領域Fを各回路ブロックIP11～IP34に設けた場合、すなわち不揮発性メモリの領域Fを分散配置する場合である。もちろん、全ての回路ブロックがこの領域を備えておく必要はない。発明の趣旨

は、各回路ブロック毎に過去の学習結果等を蓄える書き換え可能な不揮発性メモリ領域をもつことである。また、これらの内容の一部はこのシステムを必要としているソフトウェアに格納しておくこともできる。

【 0 0 9 4 】

＜実施例 1 2＞

本発明を用いれば次のような応用も可能である。近年発展が著しいプロセッサを並列に配置及び動作させ動作処理性能を向上させる方法である。

図 1 6 において、状態 A では、周波数 $2f$ で回路ブロック a_1 、 a_2 、 b_1 、 b_2 が動作している。ここで回路ブロック a_1 と a_2 は、同じ機能の動作を行うプロセッサであり、並列処理にて処理性能を挙げている。回路ブロック b_1 と b_2 も同様である。このようなシステムにおいても、入力するデータの量は変動する。よって、状態 A よりも、処理必要量が小さい状態 B においては、例えば本発明を用いて、動作周波数を $2f$ から半分の f へ変更する。この時の電力には AC 成分、即ちデジタル回路で言えば負荷容量の充放電に費やされる成分と従来例で説明した様なリーク成分とがある。周波数の高い領域では AC 成分にリーク成分は隠れているが、同じ条件で動作させるこのようなシステムでは、周波数を下げるとこのリーク成分が顕著になってくる。

【 0 0 9 5 】

このような場合に、本発明を用いれば、各回路ブロックを別個にその状態を変えることができるため、例えば次のようにできる。すなわち、回路ブロック a_1 と b_1 とを $2f$ で動作させ、回路ブロック a_2 と b_2 はリーク電流をカットした状態（ここでは待機と示した状態）としてしまう。これが状態 C である。このようにすれば、性能は一定であるが、動作させる回路の数が半分になるためリーク成分を図に示したように減らすことができ、全体としては低電力となる。

【 0 0 9 6 】

このように、これまでに挙げた実施例を組み合わせ、最適な電力状態となるように自立分散的に制御することによって、より良い性能をより少ない電力で達成することができる。

【 0 0 9 7 】

＜実施例 1 3＞

図 1 7 は、本発明を用いたシステムを総括した説明図である。入力 I N から出力 O U T を得るシステム L S I を、基本ユニット B U を組み合わせて構築する。この基本ユニット B U とは、現在のシステム L S I で用いられている言葉で言えば、I P、回路ブロック、回路モジュールである。これが、ひとつの S i 基板上に集積されたとき一般にシステム L S I と呼ばれている。過去において、ひとつのシステムが載っていたボード上の部品をひとつの S i 基板上に載せたイメージである。

【0 0 9 8】

このシステム L S I の設計においては、多種多様な設計の履歴を経た様々な I P を、設計者が取捨選択して集め、これからひとつのシステムを作り上げる。この結果、例えば 0. 1 μ m 技術ノード時代を考えると、8 m m 口の上に殆ど全てのシステム、すなわち、システムコントローラ、メモリ、動画像圧縮伸張処理、音声処理、暗号処理、カメラ入力処理、無線通信プロトコル、有線通信プロトコル、周辺機器制御を集積化できる。これらを、多数の I P から組み上げる。

【0 0 9 9】

こうなると、これらを制御する、例えば電力制御のみから見てみても、設計者は概略の制御は与えることができるとはいえ、製品を設計するときの非常に短い期間で細部にわたって最適化して設計することは殆ど不可能である。また、特定の部分のみを他の設計資産と設計途中で変えたり、或いは設計後にある回路ブロックの仕様が異なりその部分のみを取り替えることも必要になってくる。

【0 1 0 0】

しかしながら、本発明によれば、各々の基本単位 B U (回路ブロック) として予測型電力制御付き論理回路ブロックを用いることにより、自立分散的に低電力な動作状態を取ることができる。よって、設計者が細部に入り込む必要はない。また、一部を取り替えたりも容易にできる。また、それらをまとめた全体或いは部分的な回路ブロックの塊に対して、低電力を目指した制御を与えることもできる。さらに、これらの低電力状態は、学習によって、その時の状態に応じて、或いは他からの方向付けによって電力状態 1 (電力大の状態) と電力状態 2 (電力

小の状態)とを変えていくことができる。このようにして、本発明を用いれば、設計可能な範囲で、拡張性に富み、低電力かつ高性能なシステム L S I を実現できる。

【 0 1 0 1 】

以上、本発明の好適な実施例について説明したが、本発明は上記実施例に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは勿論である。

【 0 1 0 2 】

【発明の効果】

本発明によってシステム L S I を構成する各回路ブロックは、自立分散的に電力状態の小さな状態へ移行できる。また、これらの状態への遷移は学習によって変更することができる。これによって、設計可能な工数で、拡張性に富む低電力かつ高性能なシステム L S I 等の半導体装置を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例を示す基本構成のブロック図である。

【図 2】

本発明の第 2 の実施例の回路構成を示すブロック図である。

【図 3】

本発明の第 3 の実施例の回路構成を示すブロック図である。

【図 4】

本発明の第 4 の実施例の回路構成を示すブロック図である。

【図 5】

本発明の第 5 の実施例の回路構成を示すブロック図である。

【図 6】

本発明の第 6 の実施例の回路構成を示すブロック図である。

【図 7】

本発明の第 7 の実施例の回路構成を示すブロック図である。

【図 8】

本発明の第 8 の実施例の回路構成を示すブロック図である。

【図 9】

第 9 の実施例を示す図であり、本発明を適用する動画像処理装置ブロックの図である。

【図 1 0】

図 9 に示した動画像処理装置ブロックの動作図である。

【図 1 1】

本発明の第 1 0 の実施例の回路構成を示すブロック図である。

【図 1 2】

図 1 1 に示した予測回路の制御方法を示す動作フロー図である。

【図 1 3】

第 1 1 の実施例を示す図であり、学習を組み込んだ動作フロー図である。

【図 1 4】

学習を組み込んだ場合の学習の頻度について説明するための図である。

【図 1 5】

本発明に用いる書き換え可能な不揮発性メモリの配置図である。

【図 1 6】

第 1 2 の実施例を示す図であり、並列に配置動作させるプロセッサに本発明を適用した場合の電力低減を説明するための図である。

【図 1 7】

第 1 3 の実施例を示す図であり、本発明を用いたシステムを総括した説明図である。

【図 1 8】

図 2 に示した構成で、データ入力がなくなり電力大の状態から電力小の状態に移行する場合の動作フロー図である。

【図 1 9】

図 2 に示した構成で、電力小の状態から、データが入力されて電力大の状態に移行する場合の動作フロー図である。

【図 2 0】

データ時系列の例を示す図である。

【図 2 1】

図 1 1 の回路構成の変形例を示すブロック図である。

【図 2 2】

図 2 1 に示した予測回路の制御方法を示す動作フロー図である。

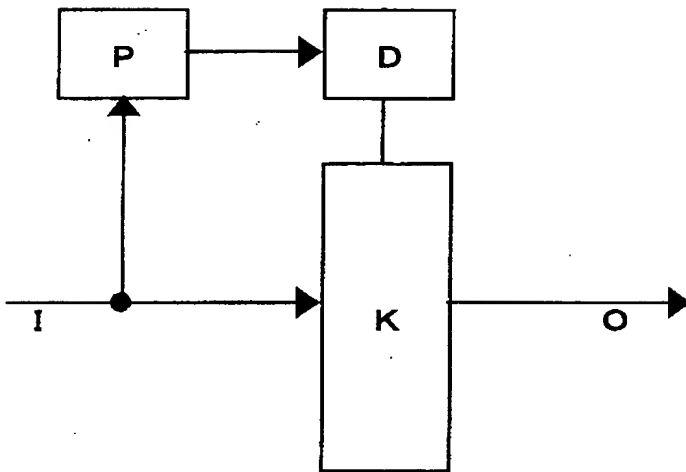
【符号の説明】

9 0 … 動画像処理回路ブロック、9 1 … インタフェース & 全体制御部、9 2 … メモリコントローラ、P, P 1, P - 1, P - 2 … 予測回路、P D … 制御手段、D, D 1, D - 1, D - 2 … 電力状態制御回路、D C S … 判定回路、D T … 入力検知回路、D T C … 入力検出・クロックカウント回路、D V … 分周器、K, K 1, K - 1, K - 2 … 論理回路ブロック、K B … 機能ブロック、K K 1 ~ K K 3 … 予測型電力制御付き論理回路ブロック、V D … 電源、C L K … クロック、C P … コンパレータ、C T … クロックカウンタ、I, I N, I N S … 入力、O, O U T, O U T S … 出力、R G … レジスタ、R G S … 設定レジスタ、R S T … リセット信号。

【書類名】 図面

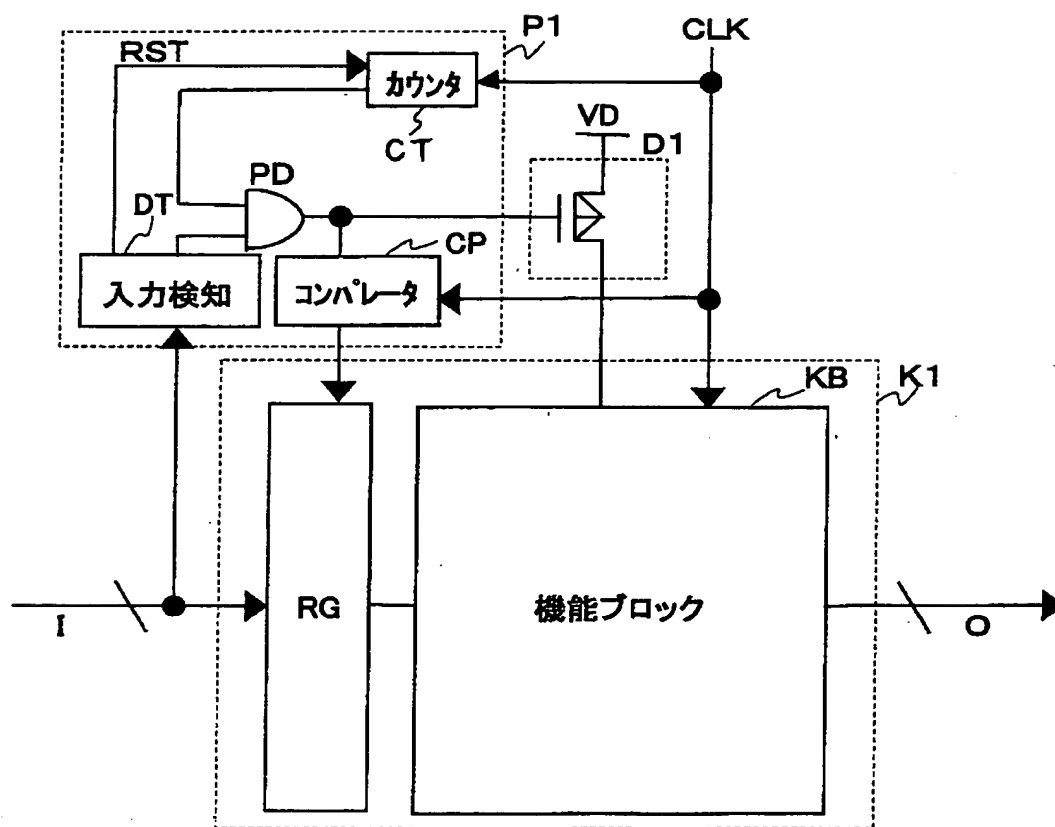
【図 1】

図1



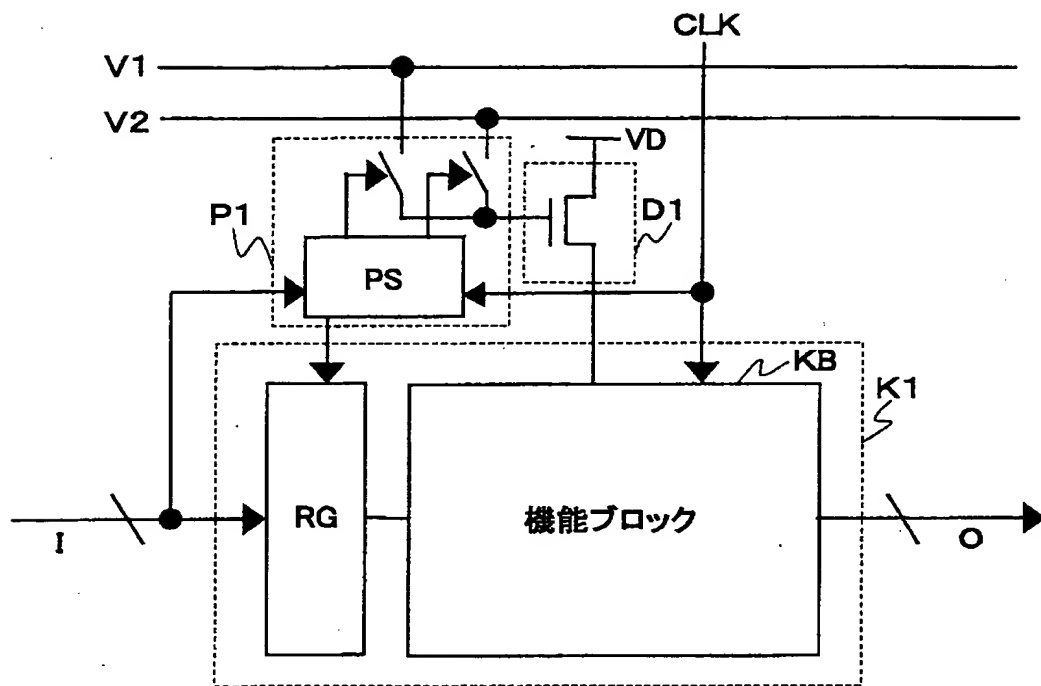
【図 2】

図2



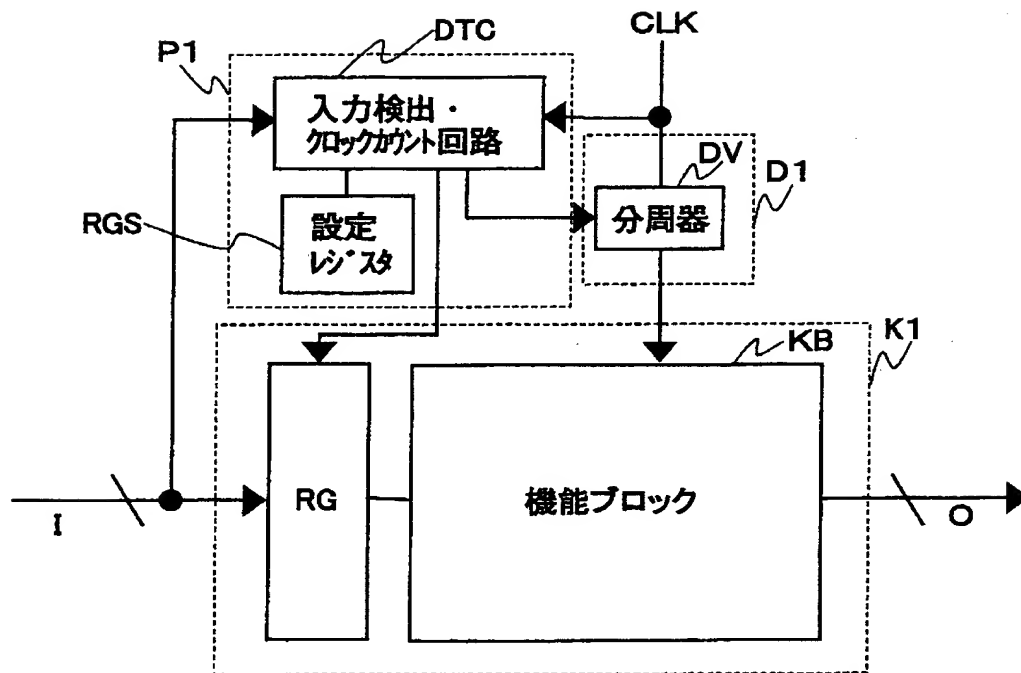
【図 3】

図3



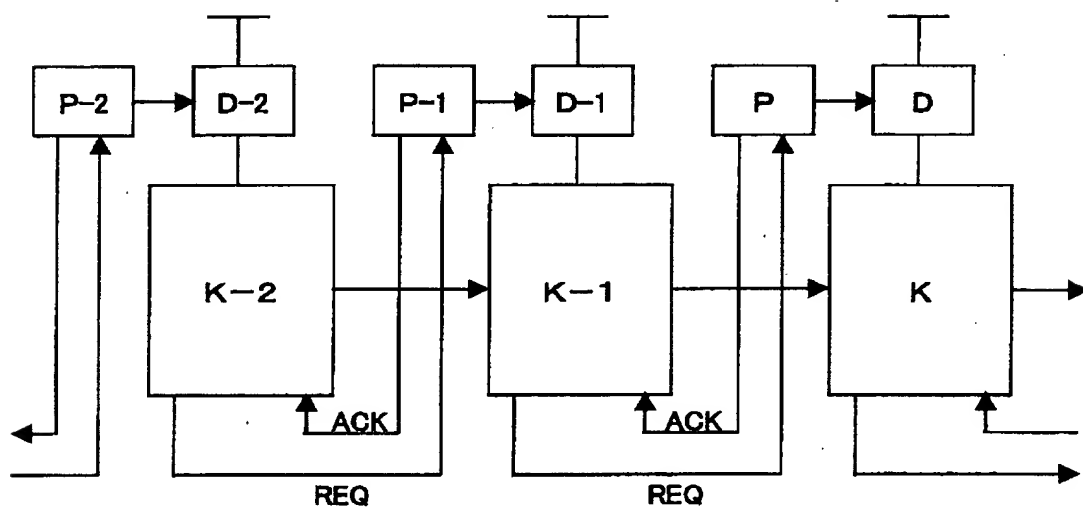
【図 4】

図4



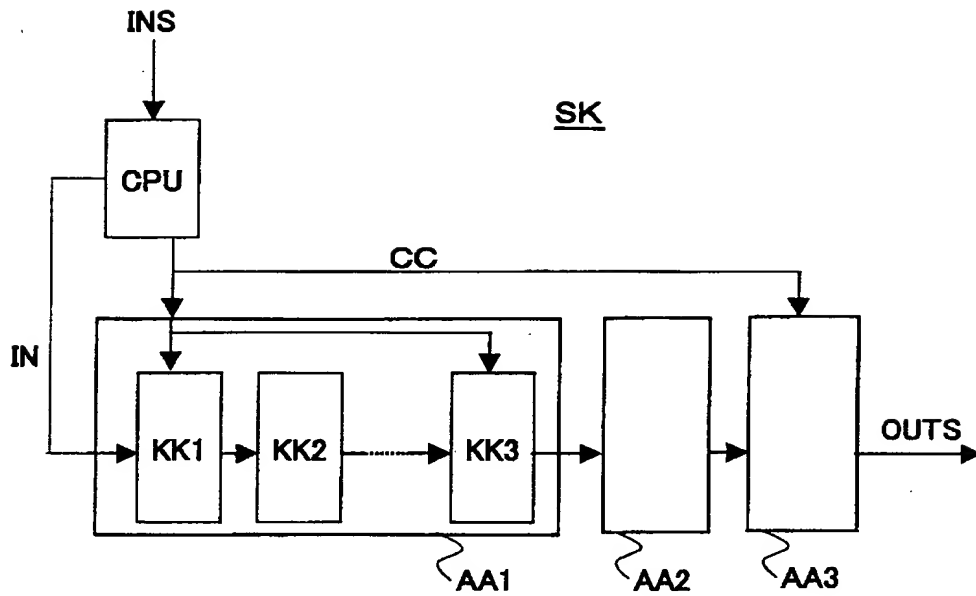
【図 5】

図5



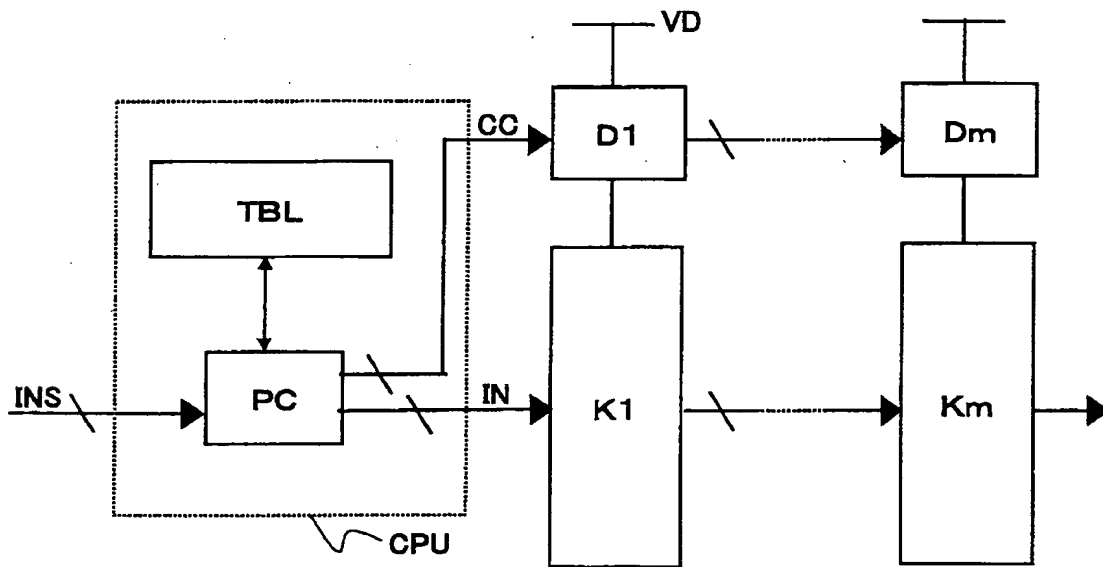
【図 6】

図6



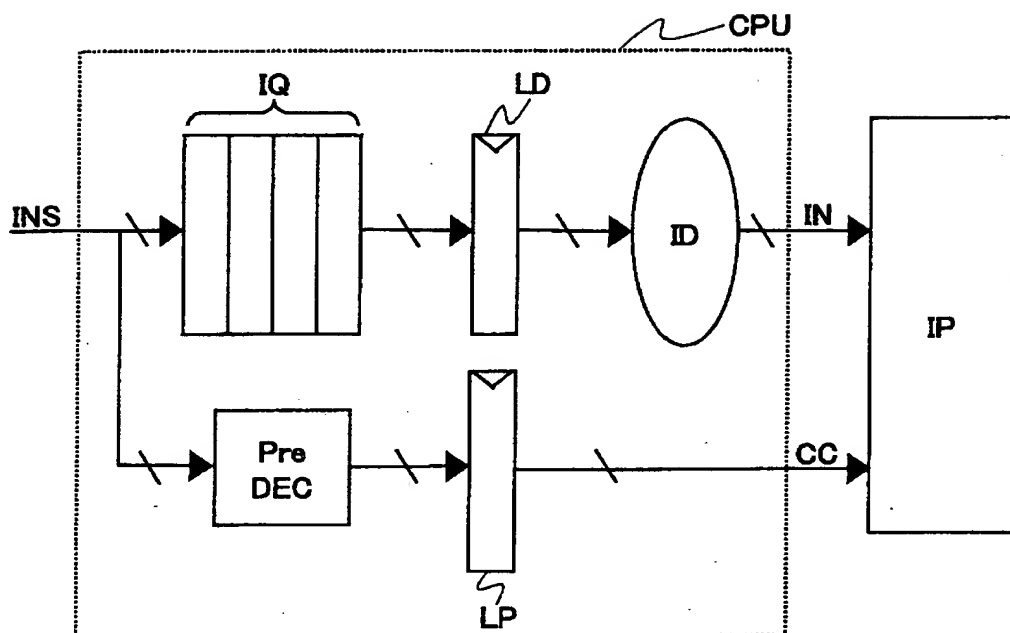
【図 7】

図7



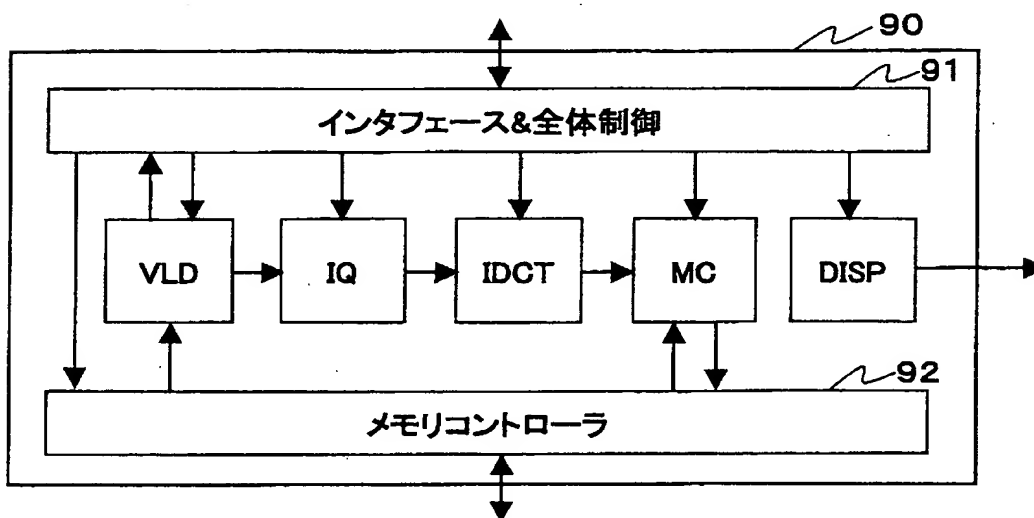
【図 8】

図8



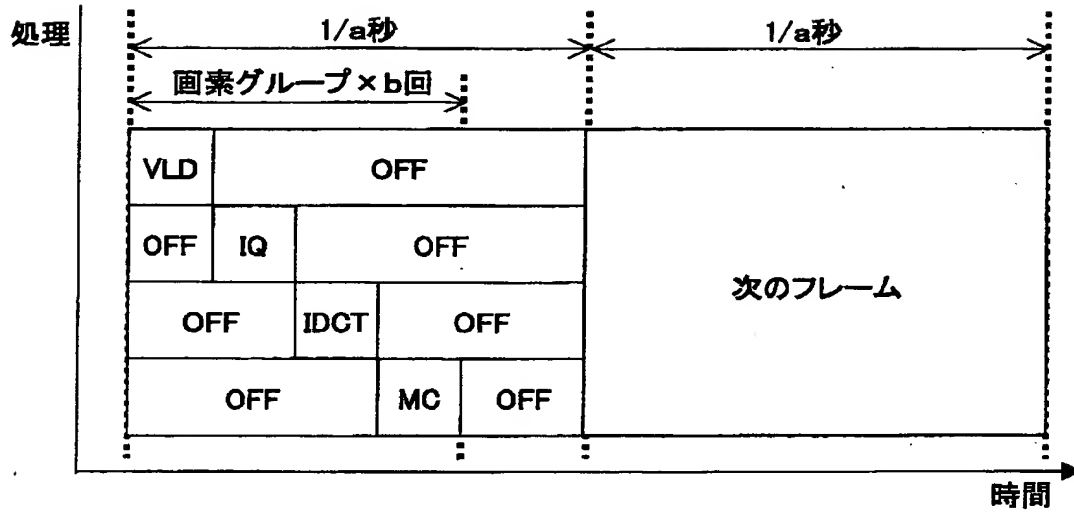
【図 9】

図9



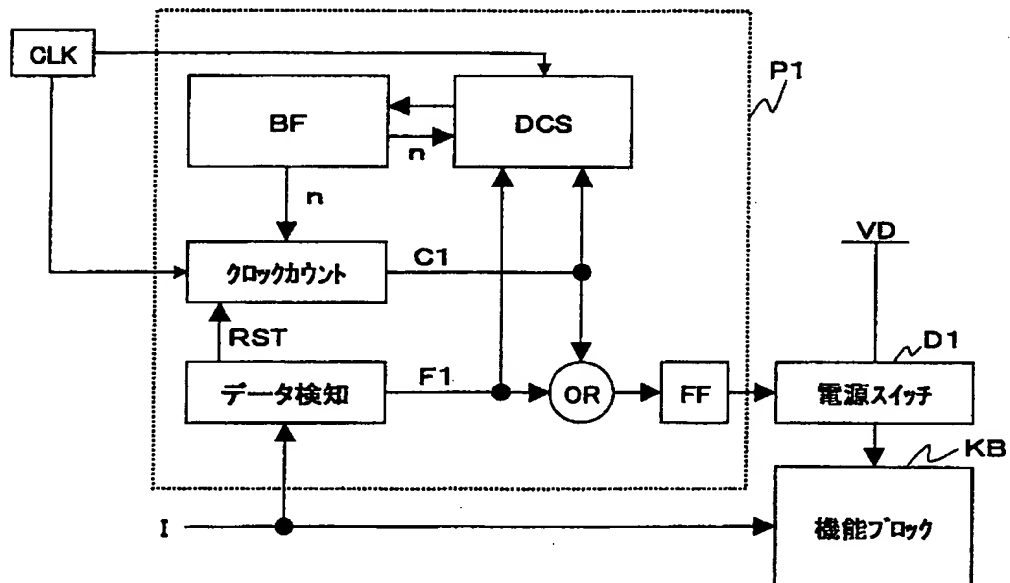
【図 10】

図10



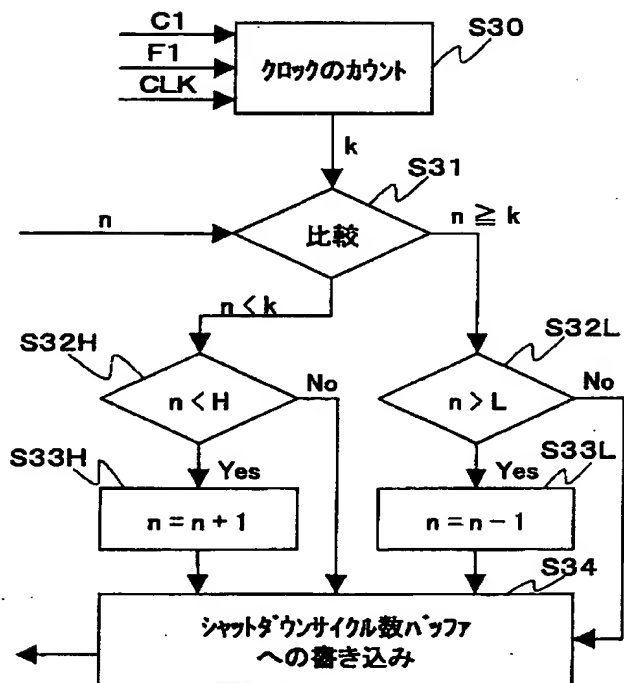
【図 11】

図11



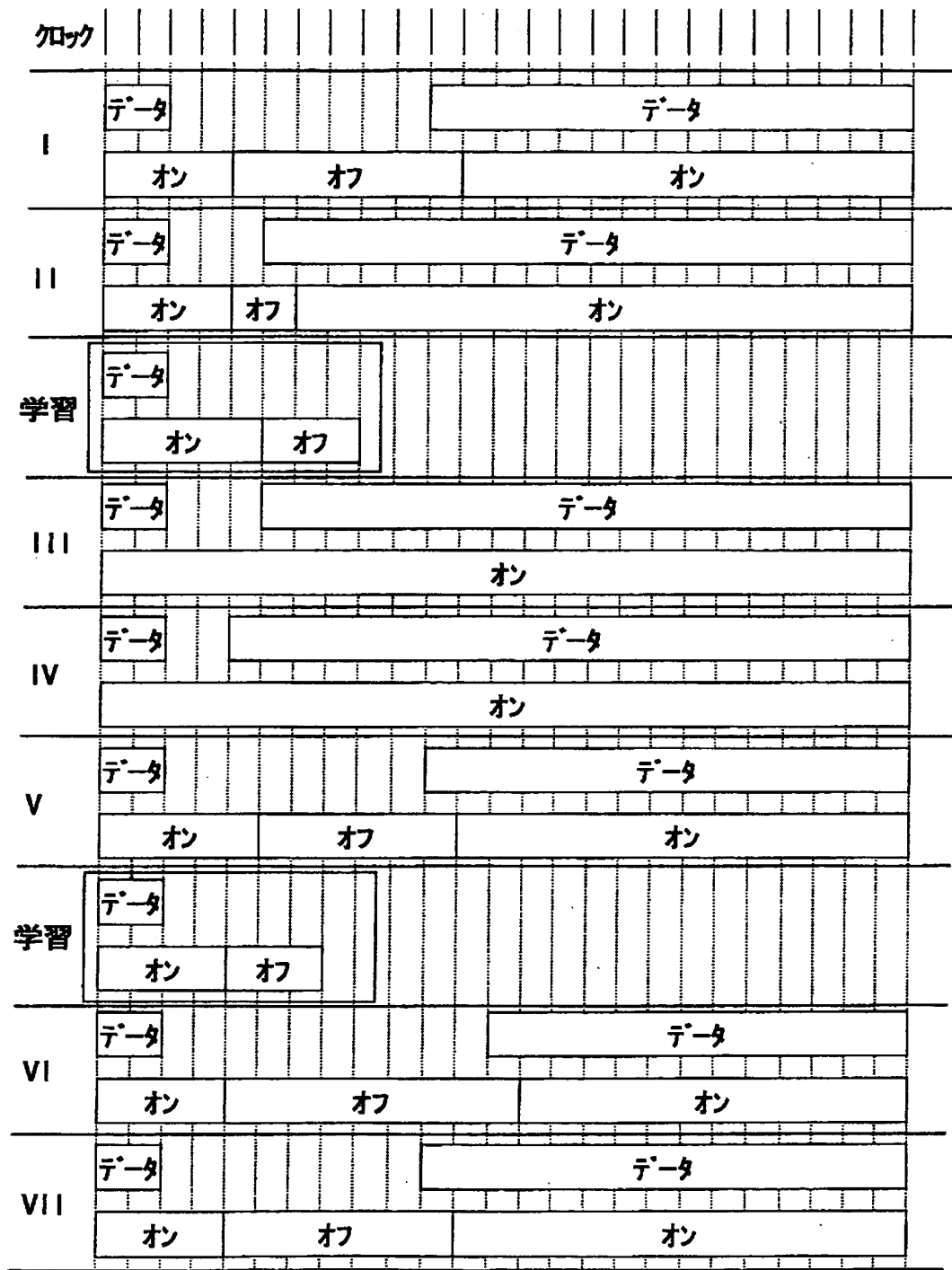
【図 12】

図12



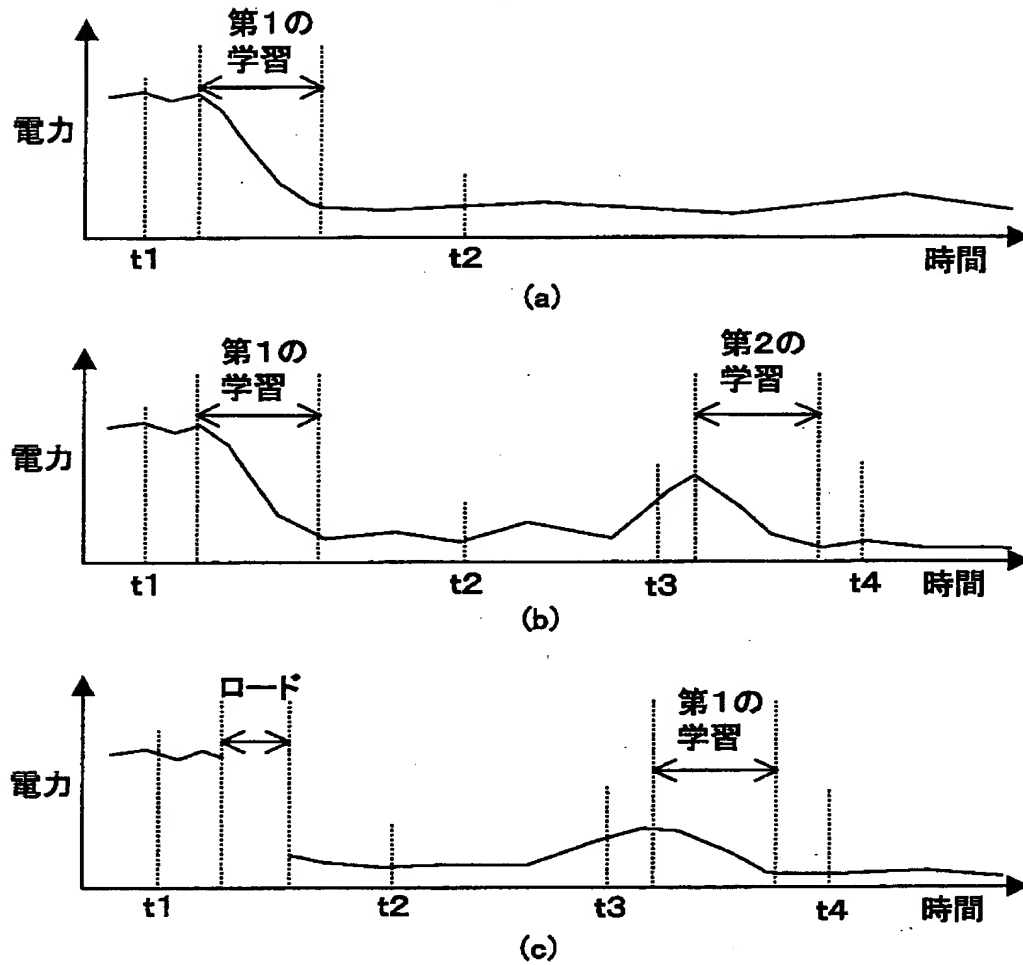
【図 13】

図13



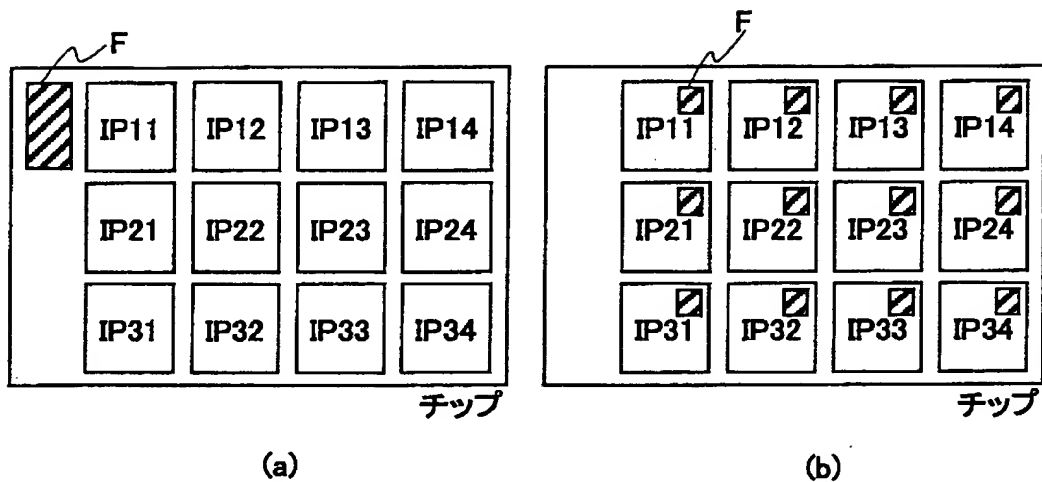
【図 14】

図14



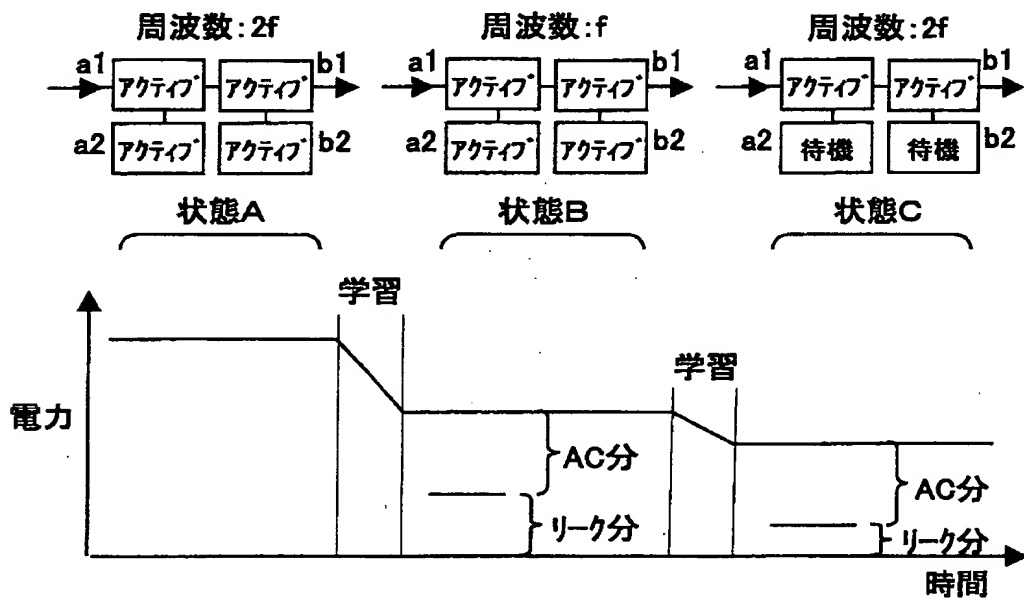
【図 15】

図15



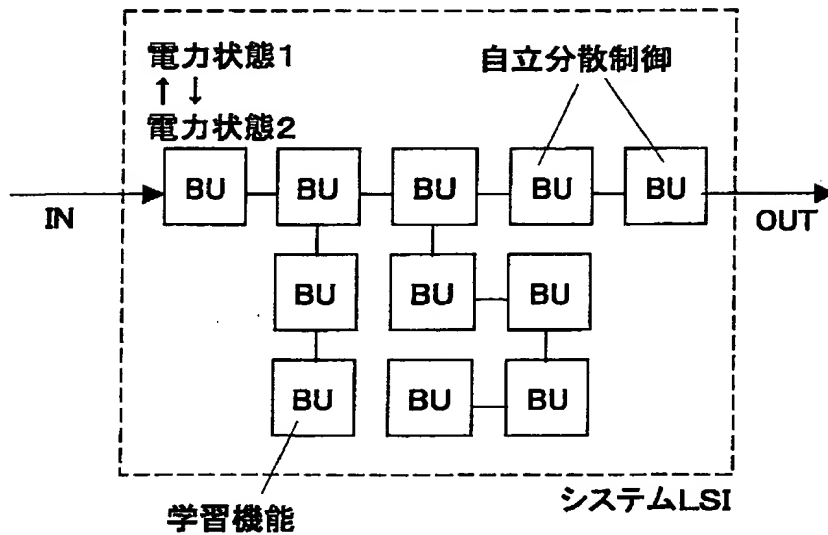
【図 16】

図16



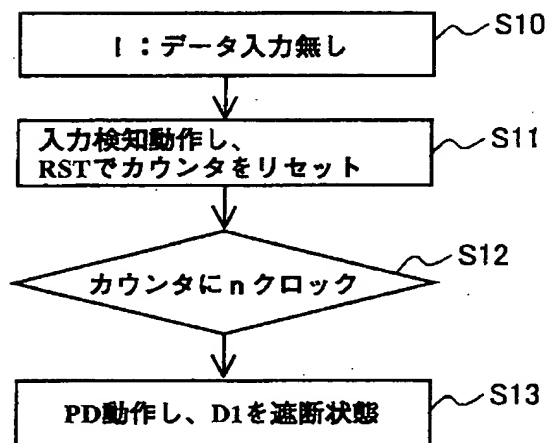
【図 1 7】

図17



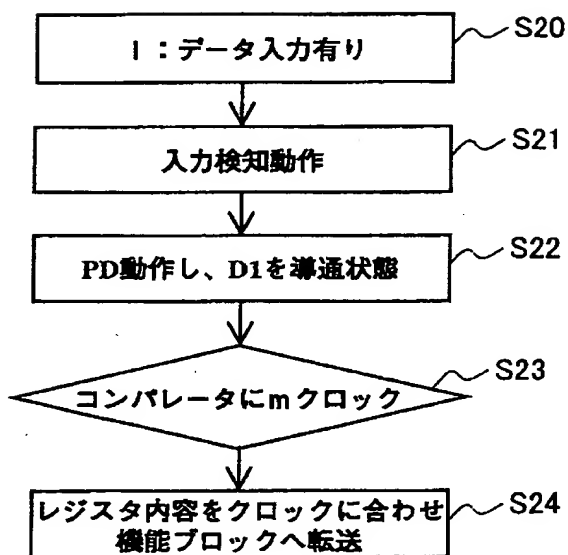
【図 1 8】

図18



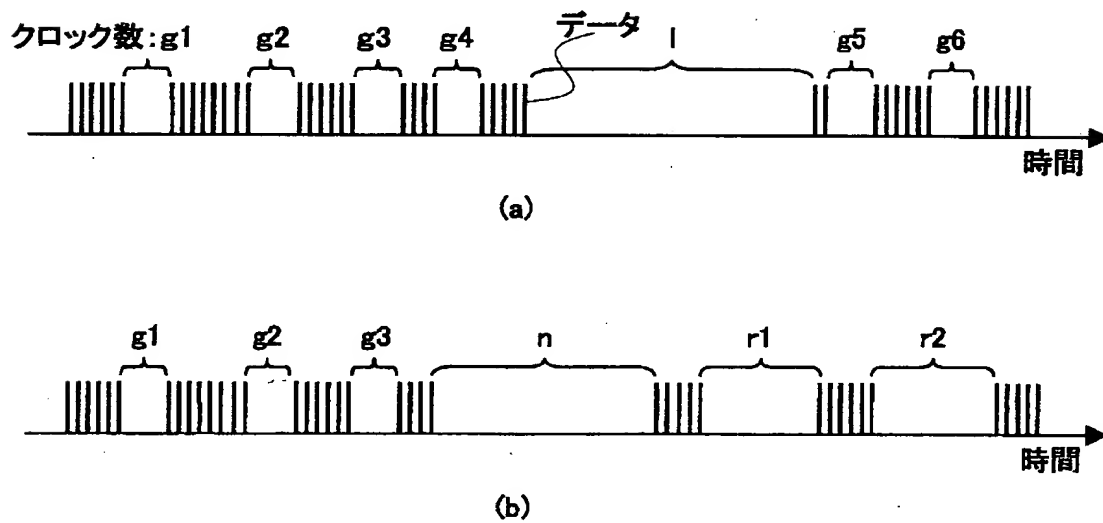
【図 1 9】

図19



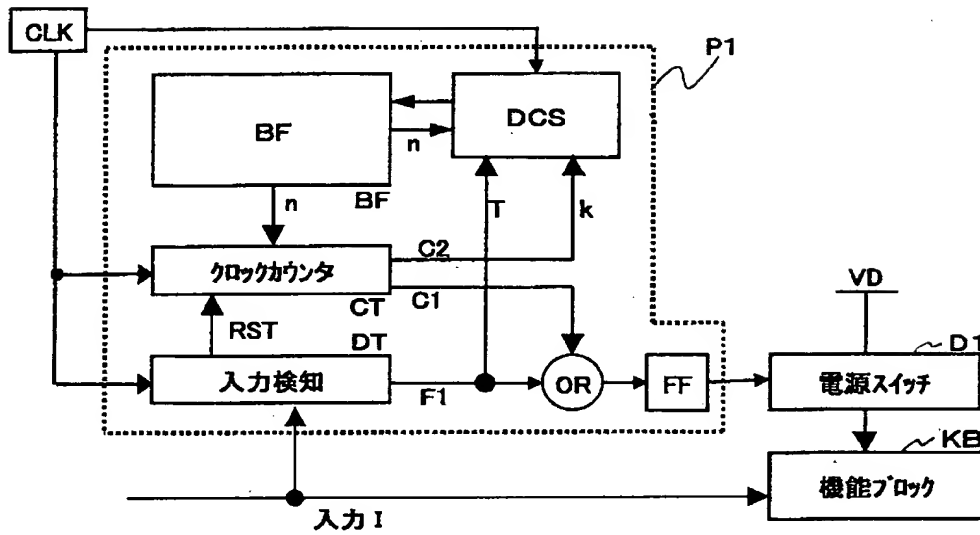
【図 2 0】

図20



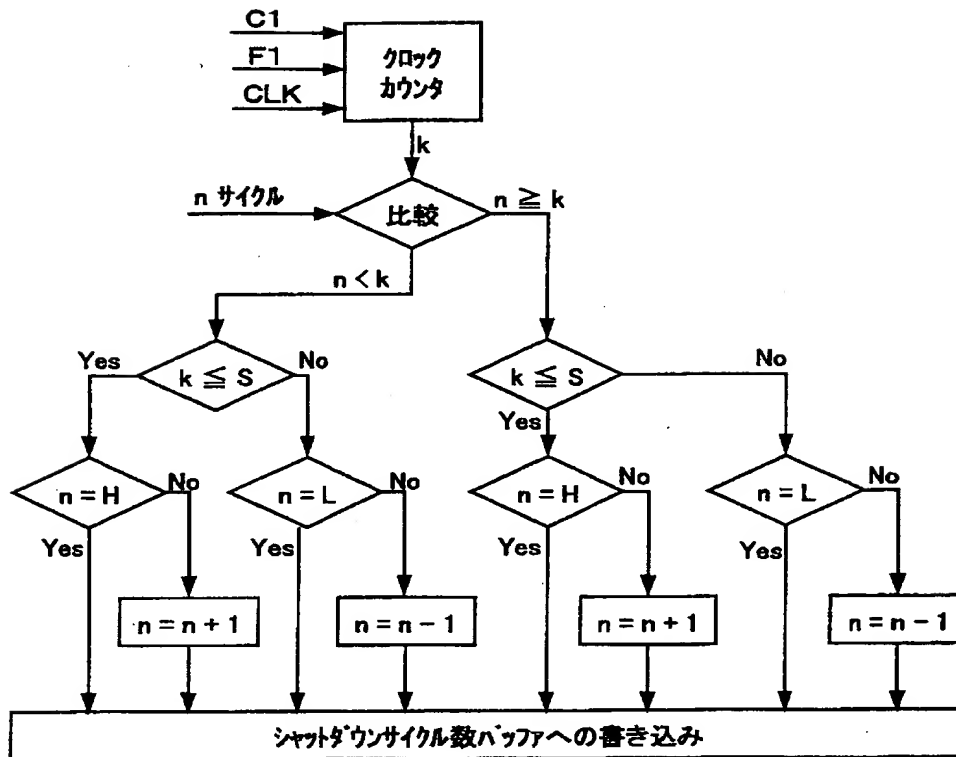
【図 21】

図21



【図 22】

図22



【書類名】 要約書

【要約】

【課題】 可能な設計工数で、拡張性の高いかつ低電力なシステム L S I を構築できる予測型電力制御付き半導体装置を提供する。

【解決手段】 予測回路 P と電力状態制御回路 D で構成される予測型の電源遮断回路を機能論理回路ブロック K に付加する。予測回路 P は、回路ブロック K への入力 I の情報に基づいて、回路ブロック K の電力状態を回路 D によって制御する。例えば、電力状態制御回路 D は、入力 I が一定時間以上無い場合、回路ブロック K の電力状態を低電力な状態へ移行させる。

【効果】 予測回路 P と電力状態制御回路 D が付加された回路ブロック K が複数接続されて構築されるシステム L S I は、各回路ブロック K がシステム全体を管理する演算装置とは独立に、入力 I の状態に応じて自立分散的に電力状態の小さな状態へ移行できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所